

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 60142607 A

(43) Date of publication of application: 27.07.85

(51) Int. Cl

H03H 9/17

(21) Application number: 58246768

(71) Applicant: NEC CORP

(22) Date of filing: 29.12.83

(72) Inventor: HOSHINO SHIGEKI
MIYASAKA YOICHI

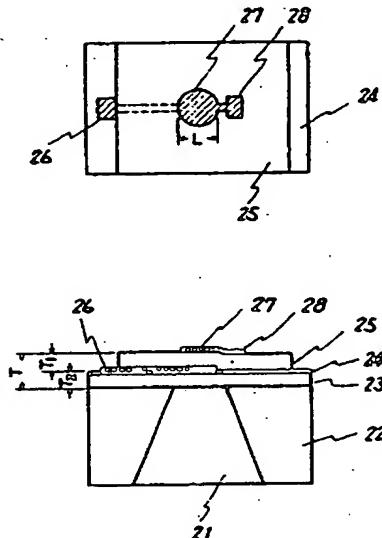
(54) PIEZOELECTRIC THIN FILM COMPOSITE
OSCILLATOR

obtained.

(57) Abstract:

PURPOSE: To obtain a composite oscillator which is free of spurious response and has excellent characteristics by specifying the thickness ratio between a piezoelectric thin film and a silicon diaphragm and the ratio between the overall thickness and electrode size.

CONSTITUTION: The thickness of the ZnO piezoelectric thin film 25 is denoted as T_1 , and the thickness of the thin layer part of the silicon diaphragm consisting of a silicon thin film 23 and an SiO_2 thin film 24 by doping boron to high concentration is denoted as T_2 ; and the overall thickness of an oscillation part of multilayer structure is T and the diameter of an upper electrode 27 on the oscillation position is L . Then when their ratios are substituted by $X=T_2/T_1$ and $Y=L/T$ so that $Y \geq 10X^2 - 20X + 8.2$ (where $0 < X \leq 0.7$) and $Y \geq 10.3X + 4.4$ (where $0.7 < X \leq 3.0$), maximum electrode size which does not excite an in-harmonic overtone as spurious response is obtained and excellent characteristics having an oscillation component only near an electrode are



⑪ 公開特許公報 (A) 昭60-142607

⑫ Int.CI.
H 03 H 9/17識別記号
厅内整理番号

⑬ 公開 昭和60年(1985)7月27日

7190-5J

審査請求 未請求 発明の数 1 (全 5 頁)

⑭ 発明の名称 圧電薄膜複合振動子

⑮ 特願 昭58-246768

⑯ 出願 昭58(1983)12月29日

⑰ 発明者 星野 茂樹 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発明者 宮坂 洋一 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代理人 弁理士 内原 晋

明細書

発明の名称 圧電薄膜複合振動子

特許請求の範囲

シリコン・ダイヤフラムの薄層上に熱錆薄膜、上部電極、ZnO圧電薄膜、電極の膜で横層された構造の振動部位をもち、その周縁部をシリコン基板によって支持された厚み振動圧電複合振動子において、ZnO薄膜の厚さをT₁、シリコン・ダイヤフラムの薄層部の厚さをT₂、多層構造の振動部位全体の厚さをTとし、さらに前記振動部位上の上部電極は円形であり、その直径をLとし、ZnO薄膜とシリコン・ダイヤフラムとの厚さの比 T₁/T₂ をX、全体の厚さと円形電極の直径の比 L/TをYと置き換えたときに、XとYが次式

$$Y \leq 10X^2 - 20X + 8.2 \quad (\text{ただし } 0 < X \leq 0.7)$$

$$Y \leq 10.3X + 4.4 \quad (\text{ただし } 0.7 < X < 3.0)$$

となる関係を有することを特徴とする圧電薄膜複合振動子。

発明の詳細な説明

(産業上の利用分野)

本発明は圧電薄膜を用いたVHF、UHF用高周波圧電振動子に関し、特にシリコン・ダイヤフラムと圧電薄膜との組み合わせからなる複合構造の振動部位を有する圧電薄膜振動子に関するものである。

(従来技術)

一般に、高周波領域で使用される圧電振動子は振動モードとして板面が厚さに比べて十分広い圧電性薄板の厚み振動が用いられている。

厚み振動の共振周波数は圧電性薄板の厚さに反比例するので高周波帯で使用するためには厚さを薄くしなければならないが、厚さが40ミクロン程度以下になると平行平面研磨などの加工が非常に困難となる。

振動部分の厚さを薄くして50ミクロン以上の厚み振動圧電振動子を得る方法としては、第1図、第2図の造の圧電薄膜振動子が公知である。この圧電薄膜振動子はシリコン基板22の上に新らかに

シリコン薄膜23と絶縁体の薄膜24を形成した後、エッティングによってシリコン基板22に空孔21を形成し、さらに絶縁体薄膜24の上に順に下地電極26、圧電薄膜25、上部電極27を形成することによって製造するもので、一般に非圧電性である薄膜部材23, 24と圧電薄膜25とかなる複合ダイヤフラムが周囲部を基板22によって支持された構造となっている。

圧電板だけからなる圧電振動子ではすでに実験的にも理論的にも詳しく調べられており、インハーモニック・オーバートーン・モードがスピリアスとして励振されないような電極寸法もよく知られている。しかし、従来圧電薄膜を利用した複合振動子においては、圧電板だけからなる圧電振動子についての理論や実験から頑張るほかはなく、その頑張りが正しいかどうかは確かめられていなかった。

圧電薄膜複合振動子において発振器やフィルタへの応用面から電極寸法はできるだけ大きくすることが必要であるが、電極寸法を増大するとスブ

(3)

部位上の上部電極は円形であり、その直径をLとし、ZnO薄膜とシリコン・ダイヤフラムとの厚さの比 T_1/T_2 をX、全体の厚さと円形電極の直径の比 L/T をYと書き換えたときにXとYが次式

$$Y \leq 1.0X^2 - 2.0X + 8.2 \quad (\text{ただし } 0 < X \leq 0.7)$$

$$Y \leq 1.0X + 4.4 \quad (\text{ただし } 0.7 < X < 3.0)$$

で表わされる関係を有していることを特徴とする圧電薄膜複合振動子である。

次に本発明について詳細に説明する。

(実施例) 第1図は本発明の振動子の振動部位の基本構造を示している。第1, 第2図において、22は表面が(100)面であるようなシリコン基板、21はエッティングによって基板に作製した空孔、23はホウ素を高濃度にドープしたシリコン薄膜である。24は温度補償のために設けられた薄いSiO₂薄膜、26は下地電極、25はZnO圧電薄膜、27は上部円形電極である。

第1, 第2図のような複合振動子に対して一例として、以下ZnO薄膜25とシリコン薄膜23の

(5)

スピリアスが励振されるようになり、特性が悪くなる。よってスピリアスが励振されずできるだけ大きな電極寸法をもつ複合振動子が実現できれば、非常に实用上大きな効果をもたらす。

(発明の目的)

本発明は上記のような複合振動子において、インハーモニック・オーバートーンがスピリアスとして励振されない最大電極寸法をもち、かつ振動成分が電極近傍にだけ存在することができるシリコン・ダイヤフラムと圧電薄膜の厚さの比をもち、良好な厚み振動特性をもつ複合振動子を実現することを目的としている。

(発明の構成)

本発明はシリコン・ダイヤフラムの表面上の厚み方向に絶縁薄膜、下部電極、ZnO薄膜、上部電極の順に積層された多層構造の振動部位を有し、周囲部をシリコン基板によって支持された厚み振動圧電振動子においてZnO薄膜の厚さをT₁、シリコン・ダイヤフラムの厚さをT₂、多層構造の振動部位全体の厚さをTとし、さらに前記振動

(6)

厚さの比が1の場合について説明する。

ZnO薄膜25の厚さをT₁、シリコン薄膜の厚さをT₂、上部円形電極の直径をL、複合構造部位の全厚をTとする。複合振動子において全面電極の場合の共振周波数をf_r⁰、反共振周波数をf_a⁰、電極直徑がLのときの共振周波数をf_rとする。また複合板の圧電反作用に帰因し実効電気機械結合係数R_f⁰に依存する周波数低下量を

$$\Delta = 1 - \frac{1}{2} \left(1 + \sqrt{1 + \frac{16}{\pi^2} R_f^{02}} \right)$$

とする。この時、この複合振動子の基本厚み振動の共振特性を第3図に示す。第3図は電極直徑Lを変化させたときの振動子の規格化された共振周波数の変化を示したものである。第3図において、 $\frac{L}{T} \sqrt{\Delta} \approx 1.9$ では $0 \leq \varphi \leq 1$ の領域には共振周波数は1点(○印をつけたI点)しかなく、その場合の振動子の表面の変位v₀は振動部位中心から端の方へ第4図に示したようになり、基本モードだけが電極近傍に閉じ込められ、スピリアスは生じない。一方、 $\frac{L}{T} \sqrt{\Delta} \approx 2.2$ では、 $0 \leq \varphi \leq 1$ の領域に共振周波数が2点(□印をつけたJ点)あり、そ

(6)

の場合の2点での振動子の表面の変位 u_1 は振動部位中心から端の方へ、第5図(a)、第5図(b)に示されたようになり、基本モードだけでなく、第5図(c)に示されたような2次のインハーモニック・オーバートーンも電極近傍に閉じ込められ、スプリアスとなる。

一般に第3図においてわかるように、 $\frac{L}{T}\sqrt{\mu}$ の値が大きくなるとインハーモニック・オーバートーンが $0 \leq \varphi \leq 1$ の領域に入り、その場合、スプリアスとして励振される。第3図における破線は圧電板だけからなる円形電板をもつ振動子について示したものであり、実際は円形電板をもつ複合振動子の場合を示している。第3図からわかるように同じ $\frac{L}{T}\sqrt{\mu}$ の値に対しても圧電板だけの場合と複合振動子の場合とで共振周波数が異なり、圧電振動子の結果から複合振動子の場合を予想することはできない。

第3図からわかるように、ある $\frac{L}{T}\sqrt{\mu}$ の値以下では $0 \leq \varphi \leq 1$ の領域にインハーモニック・オーバートーンが存在しなくなるので、その時の値 $\frac{L}{T}\sqrt{\mu}$

(7)

(1)式で表わされる領域に関する具体的な一例として、ZnOの膜厚 $T_1 = 3.88 \mu\text{m}$ 、Siの膜厚 $T_2 = 3.80 \mu\text{m}$ の複合振動子の特性について述べると、 $\frac{L}{T}$ の値が1.6 ($L = 1.25 \mu\text{m}$) の場合を試作した結果、スプリアスが生じない共振等性を得られた。

なお本発明に係る振動子の製造方法の概略は次のとおりである。

表面にポロジドープされたシリコン基板の両面にSi₃N₄保護膜CVDをつけ、フォトレジストで異方性エッチングしない部分をおおう。ラズマエッティングによってレジストがない部分のSi₃N₄膜を除去し、その後エチレンジアミンピロカーテール-水の異方性エッティング液でエッチングする。その後リン酸で残りのSi₃N₄膜を除去し、表面にAe/T電極を蒸着でつけ、その上にZnO膜をスパッタでつける。その後、AlN電極をリフトオフ(リフトオフ)でZnO上につける。

また前述の式はスプリアスの発生しない最大電極寸法の条件であるが、 $Y < 10X^2 - 20X + 8.2$ ($0 < X \leq 0.7$) 又は $Y < 10.3X + 4.4$ ($0.7 < X < 3.0$) の範囲でも

(8)

特開昭60-142607(3)

になるような電極寸法にすれば、発振器及びフィルタ等に使用してもスプリアスが生じない特性が得られることがある。

第6図にZnO薄膜とシリコン薄膜の厚さの比 T_2/T_1 に対する $\frac{L}{T}$ の値を示す。第6図から、スプリアスが生じない最大電極寸法となる時の L_0/T の値は $L_0/T = Y$, $T_2/T_1 = X$ とするとき次式で近似できることが明らかである。

即ち、 $Y = 10X^2 - 20X + 8.2$ (ただし $0 < X \leq 0.7$)

$Y = 10.3X + 4.4$ (ただし $0 < X < 3.0$)

また、 $T_2/T_1 = 3.0$ の場合において、 $\frac{L}{T} = 20.0$ の場合、 $0 \leq \varphi \leq 1$ の領域には共振周波数は基本モード1点だけしかないけれども、その時の変位は第7図に示したようになり、振動子に励振される振動変位は電極の外側にも波及せずに伝播する。このため、振動子を構成するダイアフラムの端の影響が無視できなくなり、良い特性が得られないことがわかる。よって、発振器及びフィルタへ応用する時には複合振動においては、 T_2/T_1 の値を3.0より小さくする必要がある。

(9)

Y の値がそれぞれ $10X^2 - 20X + 8.2$ (あるいは $10.3X + 4.4$) に近い場合はスプリアスのない良好な特性が得られる。ただし Y が1に近づく範囲では振動子は良好な特性が得られない。

以上述べたように本発明によればスプリアスのない良好な特性の複合振動子が得られ工業的価値も多大である。

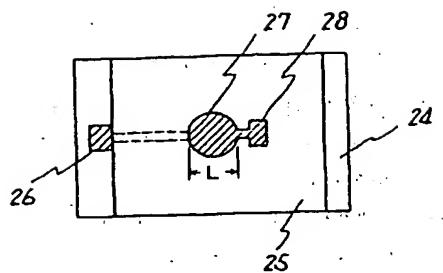
図面の簡単な説明

第1図、第2図はZnO/Si複合振動子の構造を示す図、第3図は振動子において電極寸法を変化した時の共振周波数の変化を示す図、第4図、第5図、第7図は振動子の表面における変位 u_1 の大きさを示す図、第6図はZnO薄膜とSi薄膜の比 T_2/T_1 に対するスプリアスが生じない最大電極寸法 L と振動子の厚さ T の比 L_0/T の値を示す図である。

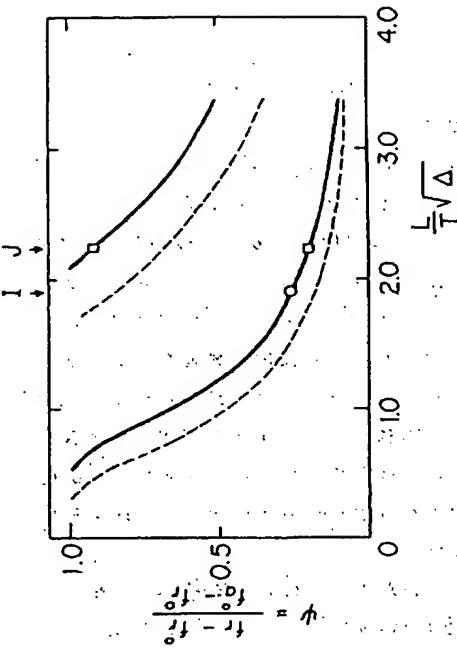
以上の図において22はシリコン基板、23はシリコン薄膜、24はSiO₂薄膜、25はZnO薄膜、26, 27, 28は電極、21は空孔を示している。

(10) 民取人 分譲士 内原晋

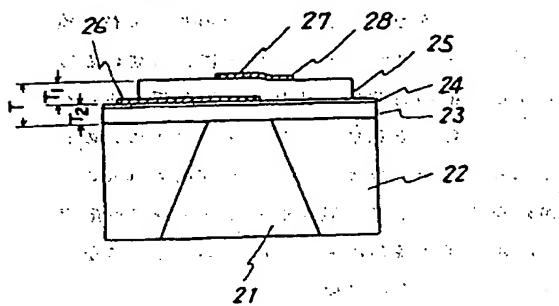
第1図



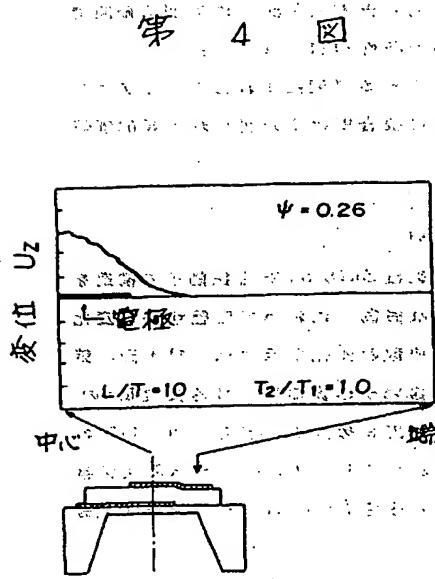
第3図



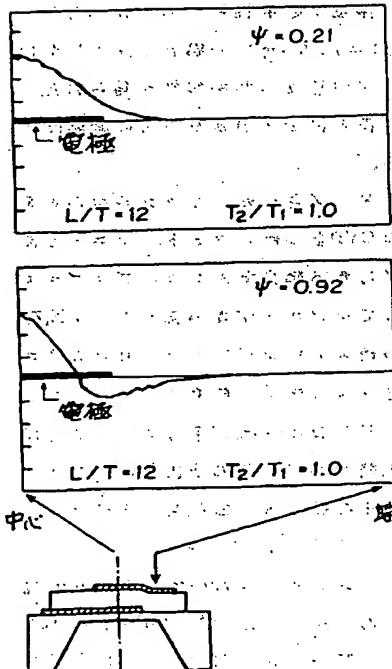
第2図



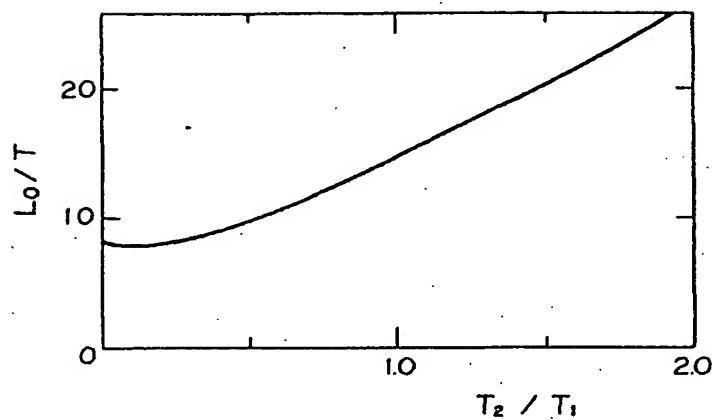
第4図



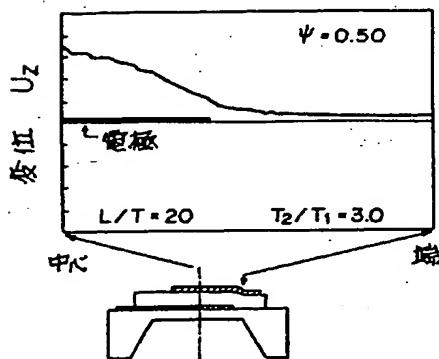
第5図



第 6 図



第 7 図



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02013109 A

(43) Date of publication of application: 17.01.90

(51) Int. Cl

H03H 3/02

H01L 41/08

(21) Application number: 63163125

(71) Applicant: JAPAN RADIO CO LTD

(22) Date of filing: 30.06.88

(72) Inventor: OHASHI HIROSHI
TAKEUCHI YOSHIHIKO

(54) MANUFACTURE OF THIN FILM RESONATOR

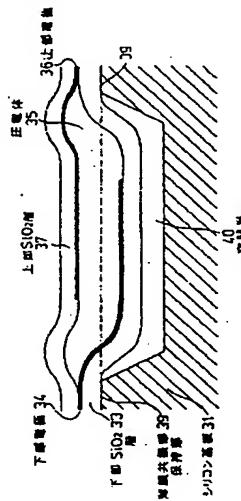
considerably.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To reduce the occurrence of deflection or crack and to form a thin film resonator with high mechanical strength and less deterioration in its characteristic at resonance by dispersing a distortion stress of a thin film resonance part.

CONSTITUTION: A piezoelectric member made of ZnO or the like with electrode materials clipped thereupon and a thin film resonance part whose upper and lower faces are fitted by SiO₂ are separated from a silicon substrate 31 via a space layer 40. Moreover, the thickness of an etching member embedded in a silicon substrate etching part is selected to the etching depth subtracted by nearly a half the thickness of the thin film resonance part to mate the center face of the thin film resonance part nearly with the surface and its prolonged line of the silicon substrate 31. Since the thickness of the electrode thin film is usually sufficiently thinner than that of other thin films, the entire thin film resonance part is nearly symmetrical in the broadwise direction and the distortion stress on the film border is cancelled in the entire multi-layer film thereby reducing the occurrence of deflection or crack



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平2-13109

⑫ Int. Cl.
H 03 H 3/02
H 01 L 41/08

識別記号 施内整理番号
B 7210-5J

⑬ 公開 平成2年(1990)1月17日

7342-5F H 01 L 41/08

D

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 薄膜共振子の製造方法

⑮ 特願 昭63-163125

⑯ 出願 昭63(1988)6月30日

⑰ 発明者 大橋 寛 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
⑱ 発明者 竹内 嘉彦 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
⑲ 出願人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号

明 索引 税

1. 発明の名称

薄膜共振子の製造方法

2. 特許請求の範囲

(1) シリコン基板を異方性エッティングする手段と、該エッティング部分にエッティング材を埋める手段と、その上面において圧電体材料を上部電極と下部電極で挟む手段と、前記上部電極と下部電極を S I O₂層により挟み薄膜共振部を形成する手段と、前記シリコン基板のエッティング部に埋められたエッティング材をエッティングすることにより薄膜共振部とシリコン基板とを分離する手段より成ることを特徴とする薄膜共振子の製造方法。

(2) 請求項第1項の薄膜共振子において、シリコン基板を該薄膜共振子の厚みの 1/2 より深くエッティングし、該エッティング部にエッティング材を埋めた後のエッティング部の深さが前記薄膜共振子の厚みの約 1/2 としたことを特徴とする薄膜共振子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜共振部の内部歪応力を分散する構造を有する薄膜共振子に関する。

(従来の技術とその課題)

従来のこの種の電子を図面により説明する。

第3図は従来のこの種の薄膜共振子の断面図である。1-1はシリコン基板、1-2はエピタキシャル層、1-3はS I O₂層、1-4は下部電極、1-5は圧電体材料であるZnO層、1-6は上部電極である。この種の電子の動作原理は、下部電極1-4及び上部電極1-6に高周波信号を加えることにより、圧電体ZnO 1-5は高周波信号の周期で伸縮を繰り返し、即ちエピタキシャル層1-2、S I O₂層1-3及び圧電体1-5の厚さにより共振する。

この種の電子の製造方法は、ボロン等を高濃度にドープしたエピタキシャル層1-2を(100)シリコン基板1-1上に形成し、このシリコン基板1-1の裏面を部分的にマスクした後、異方性エッ

チング液にてシリコン基板11の裏面よりエビタキシャル層12部分までエッティングを行う。次に、 SiO_2 層13をスパッタリング等で形成し、下部電極14を真空蒸着法及びフォトリソグラフィ技術により形成する。さらにその上に圧電体15をスパッタリング等で形成し、上部電極16を下部電極14と同様に形成することにより製造する。

第4図はこの発明の電子の他の例の断面図である。

21はシリコン基板、23は下部 SiO_2 層、24は下部電極、25は圧電体、26は上部電極、27は上部 SiO_2 層、28は開口部、29は薄膜共振部保持部である。次にその動作原理は、第1回同様下部電極24及び上部電極26に加えられた高周波信号により、圧電体25は伸縮を繰り返し、薄膜共振部、即ち下部 SiO_2 層23、圧電体25、及び上部 SiO_2 層27の反応により共振する。

第4図の構造の製造方法は、開口部28をマスクし、シリコン基板21上に下部 SiO_2 層23、下部電極24、圧電体25、上部電極26及び上部 SiO_2 層27を第3回同様の方法にて形成す

る。次に、マスクされた開口部28より異方性エッティングレジストを製造する。

ここで、上記製造方法において一般に多層に薄膜を形成する場合、例えばスパッタリング法にて形成する場合には基板温度は約600°Cになり、これを室温(約25°C)に戻すと熱膨張差のため薄膜界面には歪応力が発生する。第3回の構造では薄膜共振部は厚み方向に非対称であり、また第4回の構造では薄膜共振部は厚み方向に対称であるが、薄膜共振部保持部29では非対称である。

このように、第3回、第4回のように従来の薄膜共振子ではいずれも厚み方向に非対称な部分がある。厚み方向に非対称であると、膜界面の歪応力が多層膜全体として打ち消されず破壊しやすい欠点があった。

上記した薄膜共振子では、素子作製時に蓄積する内部応力により、薄膜共振部にたわみ、クラックの発生を充分低減させることは難しかった。

(課題を解決するための手段)

本発明は、上記問題点を解決するため、薄膜共

振部の歪応力を分散させ、たわみ、クラックの発生を低減させる構造の薄膜共振子を提供するものである。

(実施例)

上記問題点を解決するためになされた本発明の薄膜共振子の実施例を第1回の断面図により詳細に説明する。31はシリコン基板、33は下部 SiO_2 層、34は下部電極、35は圧電体、36は上部電極、37は上部 SiO_2 層、39は薄膜共振部保持部、40は薄膜共振部とシリコン基板を分離する空間層である。

本発明の電子を動作させるためには、下部電極34と上部電極36の間に高周波信号を加えることにより、圧電体35は高周波信号の周期で伸縮を繰り返し、薄膜共振部、即ち下部 SiO_2 層33、圧電体35及び上部 SiO_2 層37の反応により共振する。

本発明の製造方法を第2回にて説明する。

(100) シリコン基板31裏面の一部をマスクした後、異方性エッティングを行う(a)。エッ

チングされた ZnO 層をマスクし、下部 SiO_2 層33及び、上部 SiO_2 層37をフッ酸等にてエッティングし、シリコンエッティング部に埋められた ZnO 等エッティング材の端面を露出させる(f)。シリコンエッティング部に埋められたエッティング材の ZnO 層を希釈した塩酸等にてエッティングし薄膜共振部とシリコン基板を分離する空間

特開平2-13109(3)

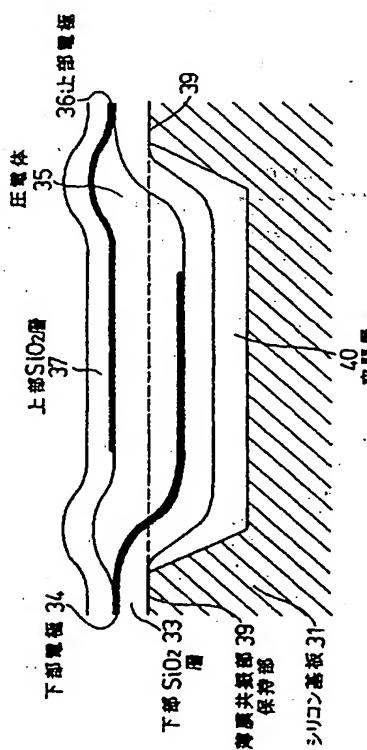
層40を形成する(g)。この時、電極材料により挟まれたZnO等圧電材料及びさらにその上下面をSiO₂により挟んだ薄膜共振部は空間層40によりシリコン基板31と分離され構成される。また、シリコン基板エッティング部に埋められるエッティング材の厚さをエッティング深さから薄膜共振部の厚さの約1/2を引いた厚さにすることにより、薄膜共振部の中心面をシリコン基板31の表面及びその延長線とほぼ同一にすることができる。

この様に製造すると、通常電極薄膜の厚さは他の薄膜と比較し充分薄いので、薄膜共振部の全体は厚み方向にはほぼ対称となり誤界面の歪応力が多層膜全体では打ち消し、たわみ、クラックの発生を著しく低減できる。

またここではZnO等圧電体の上下面をSiO₂層にて挟んだ構造のものを示したが、特に上下のSiO₂層の無い薄膜共振部を持つ薄膜共振子にても同様にたわみ、クラックの発生を著しく低減できるのは明かである。

(発明の効果)

第1図



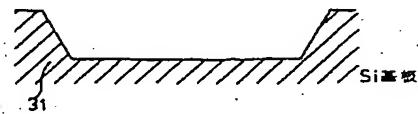
以上説明したように、本発明による薄膜共振子は薄膜共振部の歪応力を分散させる構造及び製造法なので、従来問題となっていた、たわみ、クラック等の発生を著しく低減させる効果があり、機械的強度の高い、共振時の特性劣化の少ない薄膜共振子を提供できる。

4. 図面の簡単な説明

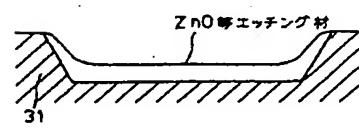
第1図は本発明の薄膜共振子の断面図、第2図は本発明の薄膜共振子の製造法の説明図、第3図及び第4図は従来の薄膜共振子の断面図である。11, 21, 31…Si基板、1, 2…エピタキシャル層、13…SiO₂層、14, 24, 34…下部電極、15, 25, 35…圧電体、16, 26, 36…上部電極、23, 33…下部SiO₂層、27, 37…上部SiO₂層、28…開口部、29, 39…薄膜共振部保持部、40…空間。

特許出願人 日本無線株式会社

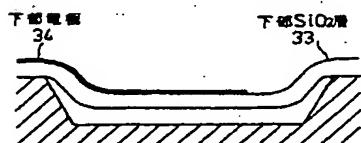
第2図
(a)



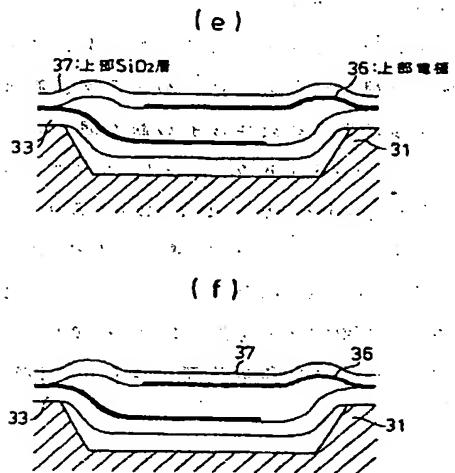
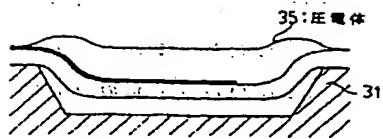
(b)



(c)

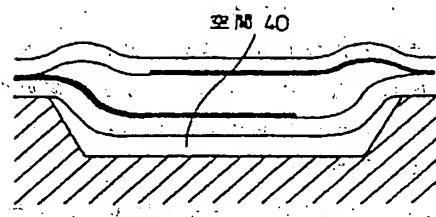


第2図
(d)

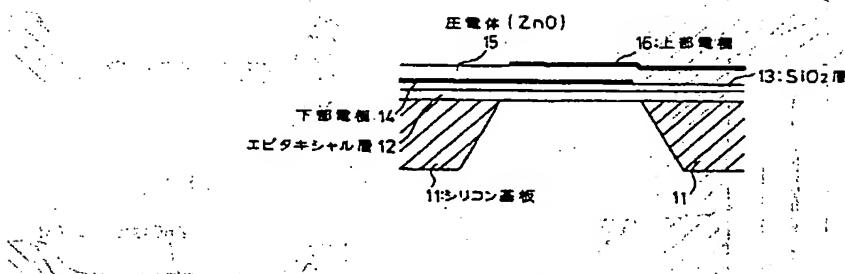


第2図

(g)



第3図



第4図

